

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-162131

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/60	3 6 0 D	7922-5L		
G 0 1 R 31/28				
G 0 6 F 11/26	3 1 0	8323-5B		
		6912-2G	G 0 1 R 31/ 28	F

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-316959

(22)出願日 平成4年(1992)11月26日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 関根 美穂

東京都港区芝五丁目7番1号 日本電気株式会社内

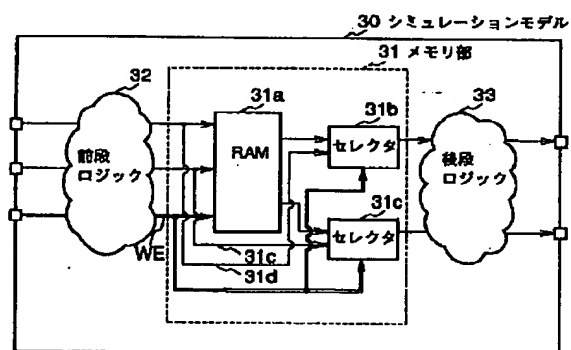
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 大規模集積回路の故障シミュレーション方式

(57)【要約】

【目的】 RAM内臓LSIをシミュレーションモデル化してその故障動作解析を実行する際に、マシンリソースの削減と故障情報の検出の容易化を図る。

【構成】 前段ロジック32の故障情報をRAM31a内部のメモリセルを経由せず、バイパス31c、31dによってセクタ31b、31cに直接伝搬するモデルに変換する。セクタ31b、31cでは、論理シミュレーションにより得られたRAM31aの出力データと前段ロジック32の故障情報とのいずれか一方をイネーブル信号WEに基づいて選択し、後段ロジック33に出力する。



【特許請求の範囲】

【請求項1】 RAMと、該RAMの前後段に夫々配された論理回路とを含んでなる大規模集積回路の故障を模擬的に発生させてその動作解析を行う故障シミュレーション方式であって、前記大規模集積回路をシミュレーションモデルに変換するシミュレーションモデル変換手段と、変換されたシミュレーションモデルに予め定めた定義故障及び所定のテストパターンを付与して故障情報を得る故障情報出力手段とを有し、前記シミュレーションモデル変換手段は、RAM前段の論理回路の通常出力を前記RAMを介してRAM後段の論理回路に導くと共に、前記テストパターン入力時にはRAM前段の論理回路の出力を直接RAM後段の論理回路に導くモデルに変換することを特徴とする大規模集積回路の故障シミュレーション方式。

【請求項2】 前記故障情報出力手段は、前記RAMの論理シミュレーションを行う論理シミュレーション手段と、この論理シミュレーションと独立して前記RAM以外の論理回路の故障シミュレーションを行う故障シミュレーション手段と、これらシミュレーションにより得られた情報を選択出力する選択切換手段とを有することを特徴とする請求項1記載の大規模集積回路の故障シミュレーション方式。

【請求項3】 前記RAMはライトスルー型のものであり、且つ、前記故障が定義されていないものであることを特徴とする請求項2記載の大規模集積回路の故障シミュレーション方式。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は大規模集積回路 (Large scale integrated circuit、以下LSIと称する) の故障シミュレーション方式に関し、特に、RAM (Random access memory、以下同じ) を内蔵するLSIの故障シミュレーション方式に関する。

【0002】

【従来の技術】 近年、LSIやメモリを含む論理システムの応用範囲は飛躍的に増加しており、これらが一旦故障を起こしたときの社会的、経済的影響は甚大になっている。そこで、論理システムの故障による影響を小さくするため、予め定義した故障の存在する回路に所定のテスト入力パターンを印加してその動作解析を行う故障シミュレーション (模擬実験) が従来より行われている。この故障シミュレーションは、通常は情報処理装置によって行われるが、ハードウェアで実現することもあり、あるいは手作業にて行うこともある。

【0003】 図4はこの種のLSIの回路構成図であり、メモリを内蔵する場合の例が示されている。図中、40はLSI、41はメモリ部、42は前段ロジック、43は後段ロジックを表す。メモリ部41は、複数のメモリセルを有するRAMにて構成され、前段ロジック4

2及び後段ロジック43は、メモリ以外の論理回路を含んで構成されている。

【0004】 図4を参照して従来の故障シミュレーション方式の概要を説明すると、予め定めた定義故障と入力テストパターンとにより前段ロジック42の故障シミュレーションを行った後、その結果を表す故障情報をメモリ部41に導き、これをメモリ部41自体の故障情報とともに後段ロジック43に導いていた。

【0005】

【発明が解決しようとする課題】 このように、従来のLSIの故障シミュレーション方式は、前段ロジック42の故障情報をメモリ部41の故障情報とともに後段ロジック43に伝搬するものであったため、シミュレーション結果を表す故障情報の形式が複雑となり、特に、前段ロジック42の故障の識別が困難となる問題があった。また、前段ロジック42の故障情報をメモリ部41のRAMに一旦蓄えておかなければならず、莫大なメモリ容量を必要とする問題もあった。

【0006】 本発明はかかる問題点に鑑みてなされたもので、その目的とするところは、故障情報の識別が容易で、しかも、マシンリソースが削減されるLSIの故障シミュレーション方式を提供することにある。

【0007】

【課題を解決するための手段】 上記目的を達成する本発明の故障シミュレーション方式は、RAMと、RAMの前後段に夫々配された論理回路とを含んでなるLSIの故障を模擬的に発生させてその動作解析を行う方式であって、前記LSIをシミュレーションモデルに変換するシミュレーションモデル変換手段と、変換されたモデルに予め定めた定義故障及び所定の入力テストパターンを付与して故障情報を得る故障情報出力手段とを有し、前記シミュレーションモデル変換手段は、RAM前段の論理回路の通常出力をRAMを介してRAM後段の論理回路に導くと共に、前記テストパターン入力時にはRAM前段の論理回路の出力を直接RAM後段の論理回路に導くモデルに変換するものであることを特徴とする。

【0008】 なお、前記故障情報出力手段は、前記RAMの論理シミュレーションを行う論理シミュレーション手段と、この論理シミュレーションと独立して前記RAM以外の論理回路の故障シミュレーションを行う故障シミュレーション手段と、これらシミュレーションにより得られた情報を選択出力する選択切換手段とを有するものであり、また、前記RAMはライトスルー型のもので、前記故障が定義されていないものとする。

【0009】

【実施例】 以下、図面を参照して本発明の実施例を説明する。

【0010】 図1は本発明の一実施例となる故障シミュレーション方式の構成図で、RAMと、RAMの前後段に夫々配された論理回路とを含んでなるLSIの故障を

模擬的に発生させてその動作解析を行う方式の例が示されている。

【0011】図1を参照すると、本実施例の故障シミュレーション方式は、LSI1をシミュレーションモデルに変換する手段3を有する。図2はこのLSI1の回路構成図、図3は変換後のシミュレーションモデルの構成図である。図2中、21はメモリ部、22は前段ロジック、23は後段ロジックを表す。メモリ部21はRAMを含んで構成され、前段ロジック22及び後段ロジック23はメモリ以外の論理回路を含んで構成されている。本実施例で用いるRAMはスルー型のRAMであり、故障は定義されていないものとする。前段ロジック22からメモリ部21にはイネーブル信号WEが入力されており、このイネーブル信号WEのアクティブ時にのみメモリ部21への書込が行われる。

【0012】図3を参照すると、シミュレーションモデル30は、メモリ部31と、前段ロジック32と、後段ロジック33とで構成されている。メモリ部31は、RAM31aと、その後段に設けられた一対のセクタ31b、31cと、RAM31aの入力データを各セクタ31b、31cに直接導くバイパス31c、31dによってモデル化される。各セクタ31b、31cは、RAM31aの出力データとバイパス31c、31dから導かれたデータとをイネーブル信号WEの分岐信号により切り換えて出力する。

【0013】図1に戻ると、本実施例の故障シミュレーション方式は、上記シミュレーションモデルに対して予め定めた定義故障3及び所定の入力テストパターン4を付与して故障情報、即ち、故障検出率データ6と出力テストパターン7との少なくとも一方を得る故障情報出力手段5をも有している。この故障情報出力手段5は、RAMの論理シミュレーションを行う論理シミュレーション手段5aと、この論理シミュレーションと独立してRAM以外の論理回路の故障シミュレーションを行う故障シミュレーション手段5bと、これらシミュレーションにより得られた情報を選択出力する選択切換手段5cとを含んで構成される。

【0014】図3の構成を参照して具体的に説明すると、RAM31aは、故障情報の内部伝搬は行わず、論理シミュレーションのみを行う。前段ロジック32からの故障情報は、従来はRAM31aを経由して伝搬されていたが、本実施例では、バイパス31c、31dによ

ってセクタ31b、31cに直接伝搬し、イネーブル信号WEの分岐信号にて切換出力することで、通常時以外はRAM31aからの出力データではなく、前段ロジック32の故障情報が後段ロジック33に伝搬される。また、RAM31aを除くその他の論理回路については故障シミュレーションを行うことで、故障検出率データ6と出力テストパターン7の一方又は双方が出力される。

【0015】このライトスルーのRAM31aを含むLSIの故障シミュレーション方式では、従来方式と同様の期待値が得られ、更に、前段ロジック32の故障が後段ロジック33に直接伝搬されるので、当該故障の検出が容易となる。

【0016】

【発明の効果】以上説明したように、本発明では、RAM内蔵LSIの故障シミュレーションの際に、RAM内部の故障伝搬は行わず、RAM前段の論理回路の故障情報をRAM後段の論理回路に直接伝搬させるモデルに変換するようにしたので、故障シミュレーションが容易且つ簡略となり、マシンリソースが削減され、更に、RAM前段の論理回路の故障が検出され易くなるという効果がある。これにより当該LSIの正確な故障動作解析を迅速に行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るLSIの故障シミュレーション方式の構成図。

【図2】本実施例によるLSIの回路構成図。

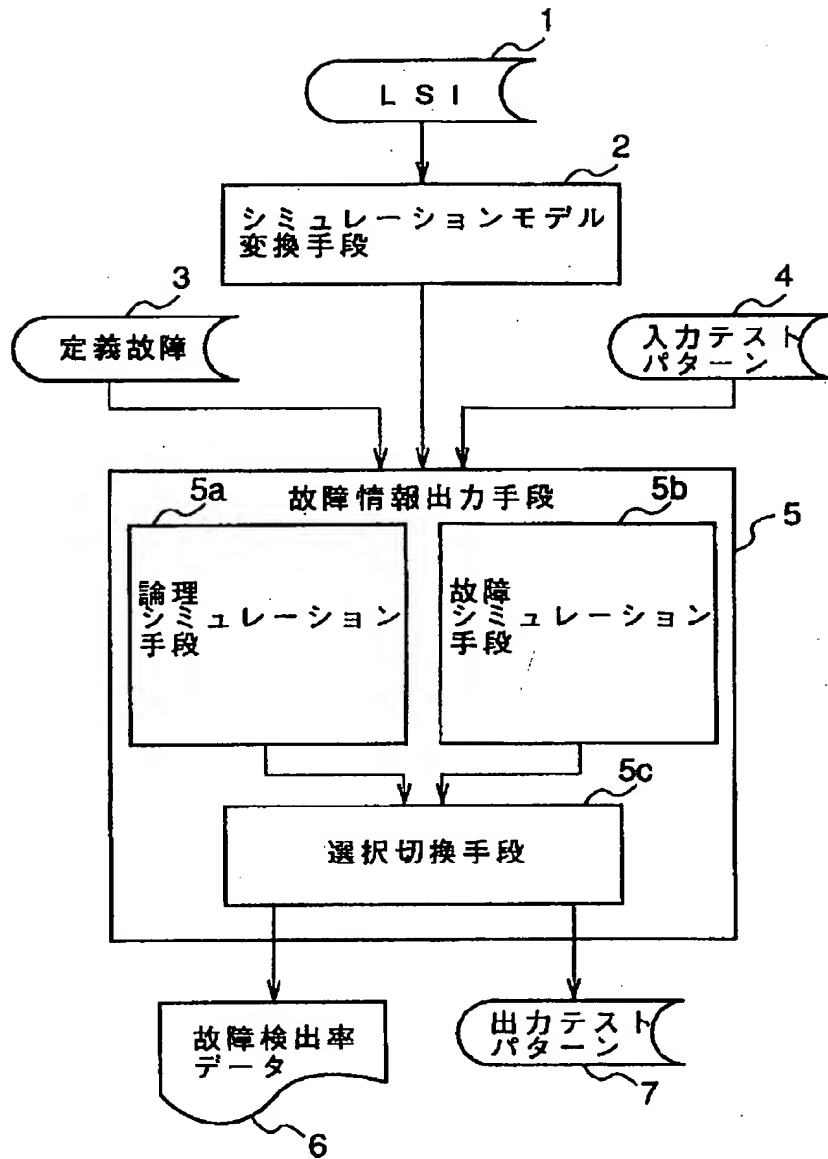
【図3】上記LSIのシミュレーションモデルの構成図。

【図4】従来の故障シミュレーション方式によるLSIの回路構成図。

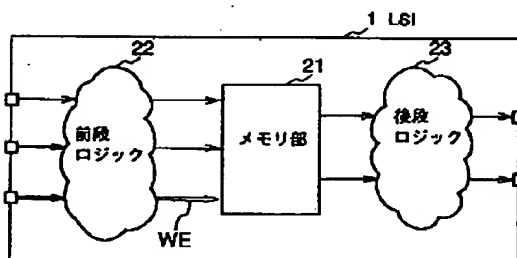
【符号の説明】

- 1…LSI（大規模集積回路）
- 2…シミュレーションモデル変換手段
- 3…定義故障
- 4…入力テストパターン
- 5…故障情報出力手段
- 5a…論理シミュレーション手段
- 5b…故障シミュレーション手段
- 5c…選択切換手段
- 6…故障検出率データ
- 7…出力テストパターン

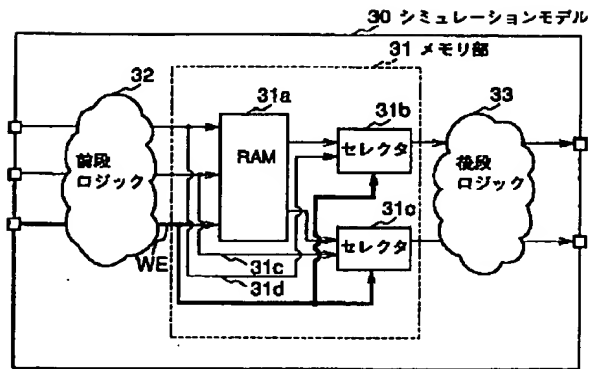
【図1】



【図2】



【図 3】



【図 4】

